
受領書

平成 17 年 4 月 28 日
特許庁長官

識別番号 100086368

氏名（名称） 萩原 誠 様

提出日 平成 17 年 4 月 28 日

以下の書類を受領しました。

項目番号	書類名	整理番号	受付番号	出願番号通知（事件の表示）
1	国際出願	F0145-THI	50500793476	PCT/JP2005/ 8151
2	国際出願	F0146-THI	50500793479	PCT/JP2005/ 8152

以上

特許協力条約に基づく国際出願願書

紙面による写し(注意 電子データが原本となります)

0	受理官庁記入欄	
0-1	国際出願番号	
0-2	国際出願日	
0-3	(受付印)	
0-4	様式 PCT/RO/101 この特許協力条約に基づく国際出願願書 は、 0-4-1 右記によって作成された。	
0-4-1		JPO-PAS 0323
0-5	申立て 出願人は、この国際出願が特許協力条約 に従って処理されることを請求する。	
0-6	出願人によって指定された受理官庁	日本国特許庁 (R0/JP)
0-7	出願人又は代理人の書類記号	F0145-THI
I	発明の名称	差動駆動回路およびそれを内蔵する電子機器
II	出願人	
II-1	この欄に記載した者は	出願人である (applicant only)
II-2	右の指定国についての出願人である。	米国を除く全ての指定国 (all designated States except US)
II-4ja	名称	ザインエレクトロニクス株式会社
II-4en	Name:	THine Electronics, Inc.
II-5ja	あて名	1030023 日本国
II-5en	Address:	東京都中央区日本橋本町 3-3-6 3-3-6, Nihombashi-Honcho, Chuo-ku Tokyo 1030023 Japan
II-6	国籍(国名)	日本国 JP
II-7	住所(国名)	日本国 JP
II-11	出願人登録番号	399011195

特許協力条約に基づく国際出願願書

紙面による写し(注意 電子データが原本となります)

III-1	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-1-2	右の指定国についての出願人である。	三浦 賢
III-1-4ja	氏名(姓名)	MIURA Satoshi
III-1-4en	Name (LAST, First):	1030023
III-1-5ja	あて名	日本国 東京都中央区日本橋本町3-3-6 ザインエレクト ロニクス株式会社内
III-1-5en	Address:	c/o THine Electronics, Inc. 3-3-6, Nihombashi-H oncho, Chuo-ku Tokyo 1030023
III-1-6	国籍(国名)	Japan
III-1-7	住所(国名)	日本国 JP
III-2	その他の出願人又は発明者 この欄に記載した者は	出願人及び発明者である (applicant and inventor) 米国のみ (US only)
III-2-1	右の指定国についての出願人である。	岡村 淳一
III-2-2		OKAMURA Jun-ichi
III-2-4ja	氏名(姓名)	1030023
III-2-4en	Name (LAST, First):	日本国 東京都中央区日本橋本町3-3-6 ザインエレクト ロニクス株式会社内
III-2-5ja	あて名	c/o THine Electronics, Inc. 3-3-6, Nihombashi-H oncho, Chuo-ku Tokyo 1030023
III-2-5en	Address:	Japan
III-2-6	国籍(国名)	日本国 JP
III-2-7	住所(国名)	日本国 JP

特許協力条約に基づく国際出願願書

紙面による写し(注意 電子データが原本となります)

III-3	その他の出願人又は発明者	出願人及び発明者である (applicant and inventor)
III-3-1	この欄に記載した者は	米国のみ (US only)
III-3-2	右の指定国についての出願人である。	小沢 誠一
III-3-4ja	氏名(姓名)	OZAWA Seiichi
III-3-4en	Name (LAST, First):	1030023
III-3-5ja	あて名	日本国
III-3-5en	Address:	東京都中央区日本橋本町 3-3-6 ザインエレクト ロニクス株式会社内
		c/o THine Electronics, Inc. 3-3-6, Nihombashi-H oncho, Chuo-ku Tokyo
		1030023
		Japan
III-3-6	国籍(国名)	日本国 JP
III-3-7	住所(国名)	日本国 JP
IV-1	代理人又は共通の代表者、通知のあて名 下記の者は国際機関において右 記のごとく出願人のために行動する。 氏名(姓名)	代理人 (agent)
IV-1-1ja		萩原 誠
IV-1-1en	Name (LAST, First):	HAGIHARA Makoto
IV-1-2ja	あて名	1050014
IV-1-2en	Address:	日本国
		東京都港区芝二丁目 1-33 第三渡邊ビル9階
		Third Watanabe Building 9th Floor, 1-33, Shiba 2 -chome, Minato-ku Tokyo
		1050014
		Japan
IV-1-3	電話番号	03-3455-4523
IV-1-4	ファクシミリ番号	03-3455-4524
IV-1-6	代理人登録番号	100086368
V	国の指定	
V-1	この願書を用いてされた国際出願は、規則 4.9(a)に基づき、国際出願の時点で拘束さ れる全てのPCT締約国を指定し、取得しうる あらゆる種類の保護を求め、及び該当する 場合には広域と国内特許の両方を求める 国際出願となる。	
VI-1	優先権主張	なし (NONE)
VII-1	特定された国際調査機関(ISA)	日本国特許庁 (ISA/JP)
VIII	申立て	申立て数
VIII-1	発明者の特定に関する申立て	一
VIII-2	出願し及び特許を与えられる国際出 願日における出願人の資格に関する 申立て	一
VIII-3	先の出願の優先権を主張する国際出 願日における出願人の資格に関する 申立て	一
VIII-4	発明者である旨の申立て(米国を指定国と する場合)	一
VIII-5	不利にならない開示又は新規性喪失 の例外に関する申立て	一

特許協力条約に基づく国際出願願書

紙面による写し(注意 電子データが原本となります)

IX	照合欄	用紙の枚数	添付された電子データ
IX-1	願書(申立てを含む)	4	✓
IX-2	明細書	16	✓
IX-3	請求の範囲	4	✓
IX-4	要約	1	✓
IX-5	図面	9	✓
IX-7	合計	34	
	添付書類	添付	添付された電子データ
IX-8	手数料計算用紙	-	✓
IX-17	PCT-SAFE 電子出願	-	-
IX-19	要約書とともに提示する図の番号	1	
IX-20	国際出願の使用言語名	日本語	
X-1	出願人、代理人又は代表者の記名押印	/100086368/	
X-1-1	氏名(姓名)	萩原 誠	
X-1-2	署名者の氏名		
X-1-3	権限		

受理官庁記入欄

10-1	国際出願として提出された書類の実際の受理の日	
10-2	図面	
10-2-1	受理された	
10-2-2	不足図面がある	
10-3	国際出願として提出された書類を補完する書類又は図面であつてその後期間内に提出されたものの実際の受理の日(訂正日)	
10-4	特許協力条約第11条(2)に基づく必要な補完の期間内の受理の日	
10-5	出願人により特定された国際調査機関	ISA/JP
10-6	調査手数料未払いにつき、国際調査機関に調査用写しを送付していない	

国際事務局記入欄

11-1	記録原本の受理の日	
------	-----------	--

PCT手数料計算用紙(願書付属書)

紙面による写し(注意 電子データが原本となります)

[この用紙は、国際出願の一部を構成せず、国際出願の用紙の枚数に算入しない]

0	受理官庁記入欄			
0-1	国際出願番号			
0-2	受理官庁の日付印			
0-4	様式 PCT/RO/101(付属書) このPCT手数料計算用紙は、 右記によって作成された。			
0-4-1		JPO-PAS 0323		
0-9	出願人又は代理人の書類記号	F0145-THI		
2	出願人	ザインエレクトロニクス株式会社		
12	所定の手数料の計算	金額/係数	小計 (JPY)	
12-1	送付手数料 T	⇒	13000	
12-2	調査手数料 S	⇒	97000	
12-3	国際出願手数料 (最初の30枚まで) i1	123200		
12-4	30枚を越える用紙の枚数 4			
12-5	用紙1枚の手数料 (X) 1300			
12-6	合計の手数料 i2	5200		
12-7	i1 + i2 = i	128400		
12-12	fully electronic filing fee reduction R	-26400		
12-13	国際出願手数料の合計 (i-R) I	⇒	102000	
12-17	納付するべき手数料の合計 (T+S+I+P)	⇒	212000	
12-19	支払方法	送付手数料: 予納口座引き落としの承認 調査手数料: 予納口座引き落としの承認 国際出願手数料 : 銀行口座への振込み		
12-20	予納口座 受理官庁	日本国特許庁 (RO/JP)		
12-20-1	上記手数料合計額の請求に対する承認	✓		
12-21	予納口座番号	041793		
12-22	日付	2005年 04月 27日 (27. 04. 2005)		
12-23	記名押印			

10/585914

AP20 Rec'd PCT/PTO 13 JUL 2006

明細書

差動駆動回路およびそれを内蔵する電子機器

技術分野

[0001] 本発明は、抵抗終端された一対の差動伝送路の電流方向を変えることによって信号を伝送する、LVDS(Low-Voltage Differential Signals:低電圧駆動信号)インターフェース用の差動駆動回路及びそれを内蔵する電子機器に関する。

背景技術

[0002] LVDSインターフェース用差動駆動回路として、下記特許文献1に記載されるものが知られている。ここに提案されている駆動回路は、差動増幅器を3つ使うことにより、オフセット電位を一定に保ちながら差動電圧を変化させる構成をとっている。このため、回路が複雑となり回路面積が大きくなる、全体の消費電流が大きくなる、また終段のトランジスタを駆動する2つの差動増幅器は電源ノイズ等がトリガーとなって発振し易いという問題がある。さらに駆動回路能力に関して下記特許文献2に記載されるものが知られている。ここに提案されている駆動回路は、主駆動回路とプリエンファシス回路とから構成されているが、いずれも電流源でバイアスされる構成となっている。従って、回路は負荷の変動やバラツキに関係なく定電流を供給しようとするため、負荷の変化に対しソースドレイン間の電圧(V_{SD})が変動し、コモンモード電圧が定まらない結果となる。特に待機状態にある時、EMI障害が発生しやすい状況となるため、高速駆動に伴うノイズの障害に問題があった。

特許文献1:USP6111431号公報

特許文献2:USP6590432号公報

発明の開示

発明が解決しようとする課題

[0003] 本発明はこのような問題を解決するためになされたものであり、差動増幅器を無くすかあるいは数を減らして、回路面積や消費電流を減らし、ノイズによる発振の問題を解決すると共に、コモンモードレベルを安定にすることでEMI障害の発生を少なくし、高い駆動能力をもつ低電圧差動信号用差動駆動回路およびそれを内蔵する電

子機器を提供することを目的とする。

課題を解決するための手段

- [0004] 請求項1に記載の低電圧差動信号用差動駆動回路は、差動信号が入力され電流信号を出力するMOSトランジスタからなるスイッチ回路と、一方が高電位側の電源電位に接続され、他方が前記スイッチ回路の一方のノードに接続され、ソースフォロワとして動作するNMOSトランジスタと、一方が低電位側の電源電位に接続され、他方が前記スイッチ回路の他方のノードに接続され、ソースフォロワとして動作するPMOSトランジスタとから構成される出力回路と、前記NMOSトランジスタと前記PMOSトランジスタのそれぞれのゲートに基準電位を供給する基準電位生成回路とを備え、前記基準電位生成回路は、オフセット電位一定で差動電位を可変してなる電位可変手段を備えることを特徴とする。
- [0005] 請求項2に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、前記スイッチ回路が、前記NMOSトランジスタのソースに一方の端子が接続されノードを形成した第1トランジスタおよび第2トランジスタと、前記PMOSトランジスタのソースに一方の端子が接続されノードを形成した第3トランジスタおよび第4トランジスタとからなり、前記第1トランジスタと前記第3トランジスタの他方の端子が接続されたノードと前記第2トランジスタと前記第4トランジスタの他方の端子が接続されたノードとが、前記出力回路の出力端子を形成し、前記第1トランジスタと前記第4トランジスタのゲートが接続されたノードと前記第2トランジスタと前記第3トランジスタのゲートが接続されたノードとが、前記差動信号の入力端子を形成することを特徴とする。
- [0006] 請求項3に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、前記基準電位生成回路が、前記高電位側の電源電位と前記NMOSトランジスタのゲートとの間に接続された第1抵抗と、

前記NMOSトランジスタのゲートと前記PMOSトランジスタのゲートとの間に接続された第2抵抗と、

前記PMOSトランジスタのゲートと前記低電位の電源電位との間に接続された第3抵抗とからなることを特徴とする。

- [0007] 請求項4に記載の低電圧差動信号用差動駆動回路は、請求項3に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路の前記第1抵抗と、前記第3抵抗とは抵抗値が等しいことを特徴とする。

- [0008] 請求項5に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路が、直列に接続されたPMOSトランジスタと抵抗とを複数個並列に接続してなる第1回路群と、

直列に接続されたNMOSトランジスタと抵抗とを複数個並列に接続してなる第2回路群と、

前記第1回路群の抵抗と前記第2回路群の抵抗との間に接続された抵抗とを備え、前記第1回路群の抵抗と、前記第2回路群の抵抗とはそれぞれ抵抗値が等しく設定され、前記第1および第2回路群のトランジスタのゲートを制御することにより、抵抗値を可変することを特徴とする。

- [0009] 請求項6に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路が、前記高電位側の電源電位にドレインを接続された第1NMOSトランジスタと、

前記第1NMOSトランジスタのソースにドレインを接続され且つゲートが前記高電位の側電源電位に接続された第2NMOSトランジスタと、

前記低電位側の電源電位にソースを接続された第3NMOSトランジスタと、

前記第3NMOSトランジスタのドレインにソースを接続され且つゲートが前記高電位側の電源電位に接続された第4NMOSトランジスタと、

前記第2NMOSトランジスタのソースと前記第4NMOSトランジスタのドレインとの

間に接続された第1抵抗および第2抵抗と、

前記第1NMOSトランジスタと第5NMOSトランジスタとのゲートに出力端子が接続され前記ゲート電位を制御し、前記第1抵抗と前記第2抵抗との接続されたノード電位を、第1基準電位に近づくように動作する第1差動増幅器と、

前記低電位側の電源電位にソースを接続された前記第3NMOSトランジスタの電流を制御する前記電流源可変手段とを備える第1回路群と、

前記高電位側の電源電位にドレインを接続された前記第5NMOSトランジスタと、

前記第5NMOSトランジスタのソースにドレインを接続され且つゲートが前記高電位側の電源電位に接続された第6NMOSトランジスタと、前記低電位側の電源電位にドレインを接続された第7PMOSトランジスタと、

前記第7PMOSトランジスタのソースにソースを接続され且つゲートが前記高電位側の電源に接続された第8のNMOSトランジスタと、前記第6のNMOSトランジスタのソースと前記第8NMOSトランジスタのドレインとの間に接続された第3抵抗および第4抵抗と、

前記第7PMOSトランジスタのゲートに出力端子が接続され前記ゲート電位を制御し、前記第3抵抗と前記第4抵抗との接続されたノード電位を、前記第1基準電位に近づくように動作する第2差動増幅器とを備える第2回路群とを備えることを特徴とする。

[0010] 請求項7に記載の低電圧差動信号用差動駆動回路は、請求項6に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路の前記第1抵抗、前記第2抵抗、前記第3抵抗および前記第4抵抗の抵抗値が、前記出力回路の出力端子に接続される終端抵抗の抵抗値の $n/2$ (nは正の整数値)倍であることを特徴とする。

[0011] 請求項8に記載の低電圧差動信号用差動駆動回路は、請求項6に記載の低電圧差動信号用差動駆動回路において、

前記基準電位生成回路の前記第1NMOSトランジスタおよび前記第5NMOSトランジスタのサイズが、前記NMOSトランジスタのサイズの $1/n$ (nは正の整数値)のサイズを有し、

前記第7PMOSトランジスタのサイズが、前記PMOSトランジスタのサイズの $1/n$ (nは正の整数値)のサイズを有することを特徴とする。

- [0012] 請求項9に記載の低電圧差動信号用差動駆動回路は、請求項1に記載の低電圧差動信号用差動駆動回路において、
 前記出力回路の出力端子とエンファシス回路の出力端子とが互いに接続され、
 前記エンファシス回路は、さらに異なる差動信号が入力され電流信号を出力するMOSトランジスタからなるエンファシス回路用スイッチ回路の一方のノードがPMOSトランジスタのドレインと接続され、前記PMOSトランジスタのソースが前記高電位側の電源電位に接続され、前記PMOSトランジスタのゲートがエンファシス回路用バイアス電源の一方に端子に接続され、
 前記エンファシス回路用スイッチ回路の他方のノードがNMOSトランジスタのドレンと接続され、前記NMOSトランジスタのソースが前記低電位側の電源に接続され、前記NMOSトランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて構成されて成ることを特徴とする。
- [0013] 請求項10に記載の低電圧差動信号用差動駆動回路は、請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、
 請求項2のスイッチ回路であることを特徴とする。
- [0014] 請求項11に記載の低電圧差動信号用差動駆動回路は、請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路が、
 前記エンファシス回路用スイッチ回路の一方のノードがNMOSトランジスタのソースと接続され、前記NMOSトランジスタのドレインが前記高電位側の電源に接続され、前記NMOSトランジスタのゲートがエンファシス回路用バイアス電源の一方の端子に接続され、
 前記エンファシス回路用スイッチ回路の他方のノードがPMOSトランジスタのソースと接続され、前記PMOSトランジスタのドレインが前記低電位側の電源に接続され、前記PMOSトランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて成ることを特徴とする。
- [0015] 請求項12に記載の低電圧差動信号用差動駆動回路は、請求項11に記載の低電

圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、

請求項2のスイッチ回路であることを特徴とする。

[0016] 請求項13に記載の電子機器は、請求項1乃至12のいずれかに記載の低電圧差動信号用差動駆動回路を内蔵することを特徴とする。

[0017] 請求項14に記載の電子機器は、請求項13に記載の電子機器が、携帯端末であることを特徴とする

発明の効果

[0018] 本発明の低電圧差動信号用差動駆動回路によれば、回路面積や消費電流を減らし、ノイズによる発振の問題を解決すると共に、コモンモードレベルを安定にすることでEMI障害の発生を少なくし、高い駆動能力をもつ低電圧差動信号用差動駆動回路およびそれを内蔵する電子機器を提供することができる。

図面の簡単な説明

[0019] [図1]本発明による実施例1の差動駆動回路の構成を示す回路ブロック図である。

[図2]本発明による実施例1の基準電位生成回路の構成を示す回路ブロック図である。

[図3]本発明による可変抵抗を備えた基準電位生成回路である。

[図4]本発明による電位可変手段を備えた基準電位生成回路。

[図5]本発明による他の電位可変手段を備えた基準電位生成回路。

[図6]本発明による実施例2の差動駆動回路の構成を示す回路ブロック図である。

[図7]本発明による実施例2の差動駆動回路の入出力信号トレインを示した図である。

[図8]本発明による実施例2の差動駆動回路の他の入出力信号トレインを示した図である。

[図9]本発明の他のエンファシス回路による差動駆動回路の入出力信号トレインを示した図である。

符号の説明

[0020] 1～6、41～44、49～52、61～66 トランジスタ

45、46、53、54 抵抗

7、8、11、12、21、22、71～74 ノード
 9、10、69、70 差動入力端子
 13、14 高電位側および低電位側電源電位
 47、55 第1および第2差動増幅器
 48 第1基準電位
 100 出力回路
 101 スイッチ回路
 102 基準電位生成回路
 300 低電圧差動信号用差動駆動回路
 400 エンファシス回路
 401, 402 第1および第2回路群
 R1～3, Rp1, Rpn, Rn1, Rnn 抵抗
 P1～Pn, N1～Nn トランジスタ
 CMC カレントミラー回路
 IN+ ドライブ回路差動入力信号正側
 IN- ドライブ回路差動入力信号負側
 EMP+ エンファシス回路差動入力信号正側
 EMP- エンファシス回路差動入力信号負側
 OUT+ 高出力差動駆動回路出力正側
 OUT- 高出力差動駆動回路出力負側
 HiZ ハイインピーダンス

発明を実施するための最良の形態

[0021] [実施例1]

本発明による低電圧差動信号用差動駆動回路の第1の実施の形態について、図1を用いて説明する。図1は、本発明の低電圧差動信号用差動駆動回路の構成を説明する回路ブロック図である。本発明の低電圧差動信号用差動駆動回路300は、LVDSインターフェース規格(IEEE P1596, 3)に準拠する出力回路100と基準電圧生成回路102から構成される。

- [0022] 出力回路100は、差動信号が入力され終端抵抗RLへ電流信号を出力するスイッチ回路101と、一方が低電位側の電源電位14に接続され、他方がスイッチ回路101のノード12に接続されて、ソースフォロワとして動作するPMOSトランジスタ2と、一方が高電位側の電源電位13に接続され、他方がスイッチ回路101のノード11に接続されて、ソースフォロワとして動作するNMOSトランジスタ1とからなる。
- [0023] スイッチ回路101はNMOSトランジスタ3～6で構成されており、トランジスタ3およびトランジスタ5のドレインがトランジスタ1のソースに共通接続され、ノード11を形成している。トランジスタ4およびトランジスタ6のソースがPMOSトランジスタ2のソースに共通接続され、ノード12を形成している。トランジスタ3とトランジスタ4とが直列に接続された接続点であるノード8と、トランジスタ5とトランジスタ6とが直列に接続された接続点であるノード7とが出力回路100の出力端子を形成する。トランジスタ3とトランジスタ6の各ゲートが共通接続された接続点であるノード9と、トランジスタ5とトランジスタ4の各ゲートが接続された接続点であるノード10とが入力端子を形成する。ノード9とノード10の入力端子には、低電位側の電源電圧と高電位側の電源電位まで振れる互いに反転された差動信号が入力される。ノード7とノード8との間には、外部の終端抵抗RLが接続される。
- [0024] ノード8の電位をV1、ノード7の電位をV2とすると、出力の差動電位VODは、 $VOD = V1 - V2$ と表わされる。出力のオフセット電圧VOCは、 $VOC = (V1 + V2) / 2$ と表わされる。この構成で、NMOSトランジスタ1とPMOSトランジスタ2のゲートに、基準電位生成回路102で生成した基準電位を入力すると、全体がソースフォロワ構成であるために、ノード11の電位とノード12の電位が決定される。基準電位生成回路102で生成し、NMOSトランジスタ1のゲートにかかる電圧をV3、PMOSトランジスタ2のゲートにかかる電圧をV4、ノード11の電位をV5、ノード12の電位をV6とする。終端抵抗RLを流れる電流をI1とすると、I1が小さくNMOSトランジスタ1およびPMOSトランジスタ2が飽和領域で動作する場合、 $I1 = \beta_n (V3 - V5 - V_{thn})^2 / 2 = \beta_p (V6 - V4 - V_{thp})^2 / 2$ となる。ここで β_n 、 β_p および V_{thn} 、 V_{thp} はそれぞれNMO SトランジスタおよびPMOSトランジスタの β 値と閾値電圧である。そのとき、 $VOD = I1 \times RL$ 、 $VOC = V5 - I1 \times RL / 2 = V6 + I1 \times RL / 2$ となる。これらの値VOCとV

ODが目標の値となるようにV3とV4の基準電位が決定される。LVDSの規格によると、VOCの標準的な値は1.2V、VODの標準的な値は250mV、RLの値は100Ωである。この場合VOCとVODが目標の値となるような基準電位V3、V4を決める例を示す。簡単のために $\beta_n = \beta_p = 2$ 、 $V_{thn} = V_{thp} = 0.5$ と仮定する。これから、 $V_3 = 1.2 + 0.250/2 + 1 = 2.45V$ 、 $V_4 = 1.2 - 0.25/2 - 1 = 0.12V$ とすればよいと計算できる。このとき、スイッチトランジスタ3～6の β 値はON抵抗が十分小さくなるように大きくすることに注意する必要がある。なお、スイッチ回路101は、NMOSトランジスタとPMOSトランジスタとを使用したCMOS回路としても構成することができる。

[0025] 図2は、本発明による基準電位生成回路102の実施の形態を説明する回路図である。基準電位生成回路102は、一端が高電位側の第1電源電位13に接続された抵抗R1と、一端が低電位側の第2電源電位14に接続された抵抗R3と、R1およびR3に直列に接続された抵抗R2とで構成される。R1とR2の接続ノード21を出力回路100のNMOSトランジスタ1のゲートへ接続し、基準電位V3を供給する。R2とR3の接続ノード22を出力回路100のPMOSトランジスタ2のゲートへ接続し、基準電位V4を供給する。図3は、抵抗R1およびR3を可変するための可変抵抗を備えた基準電位生成回路を示す。抵抗R1及びR3を可変することにより、オフセット電位一定で差動電位を可変する。高電位側の第1電源電位13の電位をVDD、低電位側の第2電源電位14の電位をVSS、ノード21の電位をV21、ノード22の電位をV22、抵抗値の和 $R_1 + R_2 + R_3$ をRとすると、 $V_{21} = (VDD - VSS) \times (R_2 + R_3) / R$ 、 $V_{22} = (VDD - VSS) \times (R_3) / R$ と表わされる。NMOSトランジスタ1およびPMOSトランジスタ2のゲート幅とゲート長との比をゲート・ソース間電圧に対して流れる電流が等しくなるように調整し、 $R_3 = R_1$ とすると、オフセット電位 $VOC = (VDD + VEE) / 2$ となる。この状態で、差動電圧 VOD はノード21とノード22の差動電位に連動する。

[0026] 図4は、電位可変手段を備えた基準電位生成回路を示す。基準電位生成回路102は、第1回路群301と、第2回路群302と、それら第1回路群301と第2回路群302との間に直列に接続される抵抗R2とからなる。第1回路群301は、複数個のPMOSトランジスタP1～Pnのソース側が高電位側の電源電位13に接続され、複数個の抵抗

$R_{p1} \sim R_{pn}$ の一方の端子が、それぞれ、上記複数個のPMOSトランジスタP1～Pnのドレイン側に接続され、他方の端子が、ノード21に接続されて構成される。第2回路群302は、複数個のNMOSトランジスタN1～Nnのソース側が低電位側の電源電位14に接続され、複数個の抵抗 $R_{n1} \sim R_{nn}$ の一方の端子が、それぞれ、上記複数個のNMOSトランジスタN1～Nnのドレイン側に接続され、他方の端子が、ノード22に接続されて構成される。第1回路群の各PMOSトランジスタと抵抗と、第2回路群の各NMOSトランジスタと抵抗とは、お互いに対になっており、抵抗 R_{p1} と R_{n1} との組み合わせ、抵抗 R_{pn} と R_{nn} の組み合わせの抵抗値はそれぞれ等しく設定される。ここで、抵抗 $R_{p1} \sim R_{pn}$ の合成抵抗値は、第1回路群のトランジスタのゲートで制御され、抵抗 $R_{n1} \sim R_{nn}$ の合成抵抗値は、第2回路群のトランジスタのゲートで制御されることにより、VOC一定でVODを変化させることができる。

- [0027] 図5は、他の電位可変手段を備えた基準電位生成回路を示す。基準電位生成回路102は、第1回路群401と第2回路群402とを備える。第1回路群401は、ドレインが高電位側の電源電位13に接続され、ゲート幅が図1におけるNMOSトランジスタ1の $1/n$ のNMOSトランジスタ41と、ドレインがNMOSトランジスタ41のソースに接続され、ゲートが電源電位13に接続され、ゲート幅がMOSトランジスタ3およびMOSトランジスタ5の $1/n$ のNMOSトランジスタ42と、NMOSトランジスタ42のソースに接続された抵抗値が終端抵抗RLの $n/2$ である直列に接続された抵抗45および抵抗46と、ドレインが抵抗46のもう一方の端子に接続され、ゲートが電源電位13に接続されたゲート幅がMOSトランジスタ4およびMOSトランジスタ6の $1/n$ のNMOSトランジスタ43と、ドレインがNMOSトランジスタ43のソースに接続され、ソースが低電位側の電源電位14に接続され、ゲートがカレントミラー回路CMCに接続されたNMOSトランジスタ44と、NMOSトランジスタ41およびNMOSトランジスタ49のゲート電位を制御する第1基準電位48が非反転入力端子に接続された差動増幅器47とからなる。なお、差動増幅器47の反転入力端子は、抵抗45と抵抗46との接続点に接続されている。

- [0028] 第2回路群402は、ドレインが高電位側の電源電位13に接続され、ゲート幅が図1におけるNMOSトランジスタ1の $1/n$ のNMOSトランジスタ49と、ドレインがNMOS

トランジスタ49のソースに接続され、ゲートが電源電位13に接続され、ゲート幅がMOSトランジスタ4およびMOSトランジスタ6の1/nのNMOSトランジスタ50と、NMOSトランジスタ50のソースに接続された抵抗値が終端抵抗RLのn/2である直列に接続された抵抗54および抵抗54と、ドレインが抵抗54のもう一方の端子に接続され、ゲートが電源電位13に接続されたゲート幅がMOSトランジスタ4およびMOSトランジスタ6の1/nのNMOSトランジスタ51と、ソースがNMOSトランジスタ51のソースに接続され、ドレインが低電位側の電源電位14に接続され、ゲートがPMOSトランジスタ2の1/nのPMOSトランジスタ52と、PMOSトランジスタ52のゲート電位を制御する基準電位56が非反転入力端子に接続された差動増幅器55とからなる。なお、差動増幅器55の反転入力端子は、抵抗53と抵抗54との接続点に接続されている。

- [0029] 差動増幅器47は、抵抗45と抵抗46との接続されたノードの電位を、差動増幅器47に接続された基準電位48に近づくように制御する。差動増幅器55は、抵抗53と抵抗54との接続されたノードの電位を、差動増幅器55に接続された基準電位56に近づくように制御する。出力の差動電位は、ノード8とノード7との電位差であり、終端抵抗RLを流れる電流Iから、 $V_{OD} = I \times RL$ となる。このとき、基準電位生成回路102のNMOSトランジスタ41およびNMOSトランジスタ49には、 I/n の電流が流れている。NMOSトランジスタ42と抵抗45との接続ノードと、抵抗46とNMOSトランジスタ43との接続ノード間の電位差、およびNMOSトランジスタ50と抵抗53との接続ノードと、抵抗54とNMOSトランジスタ51との接続ノード間の電位差は、 $I/n \times (nRL/2 + nRL/2) = I \times RL$ となる。この値が目標の値となるようにNMOSトランジスタ44を流れる電流 I/n が決定される。出力のオフセット電位VOCは、ノード8の電位V1とノード7の電位V2から、 $V_{OC} = (V_1 + V_2)/2$ と表わされる。このオフセット電位VOCは、抵抗45と抵抗46とが接続されるノード57および抵抗53と抵抗54とが接続されるノード58の電位と連動する。従って、オフセット電位VOCは、ノード57およびノード58の電位が目標の値となるように基準電位48および基準電位56を設定することで決定される。このように、オフセット電位VOC一定で、差動電圧VODを変化させることができる。

- [0030] 以上説明したとおり、本発明は、NMOSトランジスタ1のゲートに供給する電圧V3

およびPMOSトランジスタ2のゲートに供給する電圧V4を差動増幅器を必要としないで供給できるため、消費電力が小さく、且つ回路面積も大きくならない。さらに差動増幅器を介さないで制御できるため、電源ノイズなどによる発振に強い構成となっており、負荷の駆動能力も高い。

[0031] [実施例2]

本発明による低電圧差動信号用差動駆動回路の第2の実施の形態について、図6を用いて説明する。図6は、本発明の高出力差動駆動回路の構成を説明する回路ブロック図である。本発明の低電圧差動信号用差動駆動回路300は、出力回路100とエンファシス回路300およびこれらのバイアス回路(図示されず)例えば基準電位生成回路102から構成される。

- [0032] ドライブ回路100は、図1で説明した回路である。エンファシス回路400は、ドライブ回路100とは異なる差動信号が入力され電流信号を出力するMOSトランジスタからなるエンファシス回路用スイッチ回路のノード71に、PMOSトランジスタ61のドレインが接続されている。そのPMOSトランジスタ61のソースが電源の高電位側13に接続され、さらにPMOSトランジスタ61のゲートがエンファシス回路用バイアス電源(図示されず)の一方の端子67に接続されている。また、エンファシス回路用スイッチ回路のノード72には、NMOSトランジスタ62のドレインが接続されている。
- そのNMOSトランジスタ62のソースが低電位側の電源14に接続され、さらにNMOSトランジスタ62のゲートがエンファシス回路用バイアス電源の他方の端子68に接続されている。

- [0033] エンファシス回路用スイッチ回路は、図1のスイッチ回路101と同様の回路である。NMOSトランジスタ63および65のドレインが互いに接続されて、ノード71を形成し、NMOSトランジスタ64および66のソースが互いに接続されて、ノード72を形成している。NMOSトランジスタ63および64、NMOSトランジスタ65および66のソースとドレインがそれぞれ接続されて、ノード73およびノード74を形成している。NMOSトランジスタ63および66のゲートは、互いに正側の差動信号出力端子69(図示されず)に接続され、NMOSトランジスタ64および65のゲートは、互いに負側の差動出力端子20に接続されている。ドライブ回路100のノード8とエンファシス回路400のノード7

3およびドライブ回路100のノード7とエンファシス回路400のノード74が互いに接続されて、高出力差動駆動回路300の出力端子21および22を形成している。

- [0034] 図7は、ドライブ回路100に入力される正側の差動入力信号と、エンファシス回路400に入力される正側の差動入力信号に対して現れる、高出力差動駆動回路300の出力信号の入出力信号トレインを、各ステップで示した図である。
- [0035] 図7のステップ1において、図6のドライブ回路100に入力される正側の差動入力信号と、エンファシス回路400に入力される正側の差動入力信号が共に高電位であれば、それに対応する各々の負側の差動入力信号は低電位にある。すなわち、ドライブ回路側のNMOSトランジスタ3および6はスイッチオン状態にあり、NMOSトランジスタ4および5はスイッチオフ状態にある。同様にエンファシス回路400のNMOSトランジスタ63および66はスイッチオン状態にあり、NMOSトランジスタ64および65はスイッチオフ状態にある。
- [0036] 一方図7のステップに関わりなく、図6のドライブ回路100のNMOSトランジスタ1およびPMOSトランジスタ2のゲートには、それぞれドライブ回路用バイアス電源である基準電位生成回路102からのバイアス電圧により活性化されソースフォロアーとして動作する。従って、基準電位生成回路102のバイアス電圧で決まる一定電圧が、電圧ドライブの出力としてノード11および12に発生している。またエンファシス回路400のPMOSトランジスタ61およびNMOSトランジスタ62は、エンファシス回路用バイアス電源端子67および68で、カレントミラー等に見られる電流源により活性化されている。そのため、バイアスの電流で決まる電流駆動回路として動作している。
- [0037] 今ステップ1において、ドライブ回路100のスイッチ回路のNMOSトランジスタ3および6がオンし、エンファシス回路400のスイッチ回路のNMOSトランジスタ63および66がオンしているため、差動駆動回路300の出力端子8の電位はハイレベル、出力端子7の電位はローレベルとなる。このハイレベルは、ドライブ回路100の電圧ドライブで急速に立ち上がり、さらにエンファシス回路400の電流ドライブにより電流を供給し、長い信号線負荷の浮遊容量を吸収する駆動能力を有する。同様にローレベルは、ドライブ回路100の電圧ドライブで急速に立ち下がり、さらにエンファシス回路300の電流ドライブにより、長い信号線負荷の浮遊容量のチャージを引き抜く駆動能力を有

する。エンファシス回路400は電流ドライブであるため、PMOSトランジスタ61およびNMOSトランジスタ62のソースドレイン間電圧 V_{SD} は負荷に対応して自動可変し、差動駆動回路300のドライブパルス振幅を拡大すると等価の能力を有し、負荷の増加に対しても高速ドライブが可能となる。

- [0038] ステップ2においては、ドライブ回路100およびエンファシス回路400の各スイッチ回路の差動信号入力が反転するため、スイッチ回路の動作が反転し、差動駆動回路300の出力端子7および8の電位も反転する。ステップ3およびステップ4は、これらの動作の繰り返しとなる。
- [0039] ステップ5～7において、図6のドライブ回路100に入力される正側の差動入力信号が低電位で、エンファシス回路400に入力される正側の差動入力信号が高電位であれば、それに対応する各々の負側の差動入力信号はそれらの反転電位にある。すなわち、ドライブ回路側のNMOSトランジスタ3および6はスイッチオフ状態にあり、NMOSトランジスタ4および5はスイッチオン状態にある。同様にエンファシス回路400のNMOSトランジスタ63および66はスイッチオン状態にあり、NMOSトランジスタ64および65はスイッチオフ状態にある。
- [0040] 今ステップ5～7において、ドライブ回路100のスイッチ回路のNMOSトランジスタ3および6がオフし、エンファシス回路400のスイッチ回路のNMOSトランジスタ63および66がオンしている。従って差動駆動回路300の出力端子8の電位は、ドライブ回路100のPMOSトランジスタ2の電圧ドライブで決まる電圧を、エンファシス回路400のPMOSトランジスタ61を流れる電流の分だけ高くした値となる。一方出力端子7の電位は、ドライブ回路100のNMOSトランジスタ1の電圧となる電圧ドライブで決まる電圧を、エンファシス回路400のNMOSトランジスタ62を流れる電流の分だけ低くした値となる。従って、図7の出力波形に示されるように、振幅が低減し、また定まった電位が設定され、安定したコモンモード電圧を得ることができるために、EMI障害を防ぐことが可能となる。
- [0041] 図8は、他の入出力信号トレインを示す。今ステップ1において、ドライブ回路100のスイッチ回路のNMOSトランジスタ3および6がオンし、エンファシス回路400のスイッチ回路のNMOSトランジスタ63および66がオンしているため、差動駆動回路300の

出力端子8の電位はハイレベル、出力端子7の電位はローレベルとなる。このハイレベルは、ドライブ回路100の電圧ドライブで急速に立ち上がり、さらにエンファシス回路400の電流ドライブにより電流を供給され、同様にローレベルは、ドライブ回路100の電圧ドライブで急速に立ち下がり、さらにエンファシス回路300の電流ドライブにより、電流が供給されることにより、振幅が通常時よりも大きくなる。これにより、信号線が長く、また信号の高周波成分が減衰した場合でも、前もって振幅が拡大されているため、一定の信号品質を保つことができる。また、エンファシス回路400は電流ドライブであるため、出力電流をIとし、ドライブ回路用スイッチトランジスタ群のスイッチ抵抗をR_{sw}とすると、電流ドライブにより、R_{sw}Iだけ振幅を増やすことができる。

- [0042] ステップ2においては、ドライブ回路100およびエンファシス回路400の各スイッチ回路の差動信号入力が反転するため、スイッチ回路の動作が反転し、差動駆動回路300の出力端子7および8の電位も反転する。ステップ3およびステップ4は、これらの動作の繰り返しとなる。
- [0043] ステップ5～7において、図6のドライブ回路100に入力される差動入力信号はすべてローになっている。すなわち、ドライブ回路側のNMOSトランジスタ3および6はスイッチオフ状態にあり、NMOSトランジスタ4および5はスイッチオン状態にある。同様にエンファシス回路400のNMOSトランジスタ63から66はスイッチオフの状態にある。
- [0044] 今ステップ5～7において、ドライブ回路100のスイッチ回路のNMOSトランジスタ3および6がオフし、エンファシス回路400のスイッチ回路のNMOSトランジスタ63から66がオフしている。従って差動駆動回路300の出力端子8の電位は、ドライブ回路100のみで決まり、振幅が増えることはない。エンファシス回路がオンしている場合は、オフしている場合に比べ、ハイレベルはR_{sw}Iだけ上がり、ローレベルはR_{sw}Iだけ下がる。従ってコモンモード電圧はどちらの場合も変わらず、安定したコモンモード電圧を得ることができるために、EMI障害を防ぐことが可能となる
- [0045] 図9は、図6のエンファシス回路400のPMOSトランジスタ61とNMOSトランジスタ62を、ドライブ回路100のNMOSトランジスタ1とPMOSトランジスタ2と同種のトランジスタにそれぞれ置き換えソースフォロアーとした第3の実施例の入出力信号トレイン

を示す。

- [0046] 図9のステップ1～4において、エンファシス回路400に入力される差動入力信号は、ハイインピーダンスとなっている。従って差動駆動回路300の出力端子7および8の電位は、ドライブ回路100のドライブ電圧によって決定される。この場合、回路負荷に応じて高電位出力が得られるように、エンファシス回路400と切り離した独自の回路設計が可能となる。またステップ5～7において、ドライブ回路100に入力される差動入力信号は、ハイインピーダンスとなっている。従って差動駆動回路300の出力端子7および8の電位は、エンファシス回路400のドライブ電圧により決定される。この場合も同様に、ドライブ回路100と切り離して、回路負荷に応じた一定の待機状態の電圧を設定することが可能となる。動作は、図7の場合と同様に読み取ることができる。
- [0047] 以上説明したとおり、本発明は、電流注入により送信端での振幅を増大するエンファシス手段により、出力のドライブ能力を高め、電圧ドライブによりコモンモードレベルを安定にすることでEMI障害の発生を少なくすることができるため、低電圧差動信号用ではあるが、高速長距離ドライブが可能となる。

産業上の利用可能性

- [0048] 本発明の低電圧差動信号用差動駆動回路は、LVDSインターフェースへの適用以外に、差動駆動回路自身に適用できる。

請求の範囲

- [1] 差動信号が入力され電流信号を出力するMOSトランジスタからなるスイッチ回路と、
 一方が高電位側の電源電位に接続され、他方が前記スイッチ回路の一方のノードに接続され、ソースフォロワとして動作するNMOSトランジスタと、一方が低電位側の電源電位に接続され、他方が前記スイッチ回路の他方のノードに接続され、ソースフォロワとして動作するPMOSトランジスタとから構成される出力回路と、
 前記NMOSトランジスタと前記PMOSトランジスタのそれぞれのゲートに基準電位を供給する基準電位生成回路とを備え、
 前記基準電位生成回路は、オフセット電位一定で差動電位を可変してなる電位可変手段を備えることを特徴とする低電圧差動信号用差動駆動回路。
- [2] 請求項1に記載の低電圧差動信号用差動駆動回路において、
 前記スイッチ回路が、前記NMOSトランジスタのソースに一方の端子が接続されノードを形成した第1トランジスタおよび第2トランジスタと、前記PMOSトランジスタのソースに一方の端子が接続されノードを形成した第3トランジスタおよび第4トランジスタとからなり、
 前記第1トランジスタと前記第3トランジスタの他方の端子が接続されたノードと前記第2トランジスタと前記第4トランジスタの他方の端子が接続されたノードとが、前記出力回路の出力端子を形成し、
 前記第1トランジスタと前記第4トランジスタのゲートが接続されたノードと前記第2トランジスタと前記第3トランジスタのゲートが接続されたノードとが、前記差動信号の入力端子を形成することを特徴とする低電圧差動信号用差動駆動回路。
- [3] 請求項1に記載の低電圧差動信号用差動駆動回路において、
 前記基準電位生成回路が、前記高電位側の電源電位と前記NMOSトランジスタのゲートとの間に接続された第1抵抗と、
 前記NMOSトランジスタのゲートと前記PMOSトランジスタのゲートとの間に接続された第2抵抗と、
 前記PMOSトランジスタのゲートと前記低電位の電源電位との間に接続された第3

- 抵抗とからなることを特徴とする低電圧差動信号用差動駆動回路。
- [4] 請求項3に記載の低電圧差動信号用差動駆動回路において、
前記基準電位生成回路の前記第1抵抗と、前記第3抵抗とは抵抗値が等しいことを
特徴とする低電圧差動信号用差動駆動回路。
- [5] 請求項1に記載の低電圧差動信号用差動駆動回路において、
前記基準電位生成回路が、直列に接続されたPMOSトランジスタと抵抗とを複数
個並列に接続してなる第1回路群と、
直列に接続されたNMOSトランジスタと抵抗とを複数個並列に接続してなる第2回
路群と、
前記第1回路群の抵抗と前記第2回路群の抵抗との間に接続された抵抗とを備え、
前記第1回路群の抵抗と、前記第2回路群の抵抗とはそれぞれ抵抗値が等しく設
定され、前記第1および第2回路群のトランジスタのゲートを制御することにより、抵抗
値を可変することを特徴とする低電圧差動信号用差動駆動回路。
- [6] 請求項1に記載の低電位差動信号用差動駆動回路において、
前記基準電位生成回路が、前記高電位側の電源電位にドレインを接続された第1
NMOSトランジスタと、
前記第1NMOSトランジスタのソースにドレインを接続され且つゲートが前記高電
位の側電源電位に接続された第2NMOSトランジスタと、
前記低電位側の電源電位にソースを接続された第3NMOSトランジスタと、
前記第3NMOSトランジスタのドレインにソースを接続され且つゲートが前記高電
位側の電源電位に接続された第4NMOSトランジスタと、
前記第2NMOSトランジスタのソースと前記第4NMOSトランジスタのドレインとの
間に接続された第1抵抗および第2抵抗と、
前記第1NMOSトランジスタと第5NMOSトランジスタとのゲートに出力端子が接続
され前記ゲート電位を制御し、前記第1抵抗と前記第2抵抗との接続されたノード電
位を、第1基準電位に近づくように動作する第1差動増幅器と、
前記低電位側の電源電位にソースを接続された前記第3NMOSトランジスタの電
流を制御する前記電流源可変手段とを備える第1回路群と、

前記高電位側の電源電位にドレインを接続された前記第5NMOSトランジスタと、前記第5NMOSトランジスタのソースにドレインを接続され且つゲートが前記高電位側の電源電位に接続された第6NMOSトランジスタと、前記低電位側の電源電位にドレインを接続された第7PMOSトランジスタと、

前記第7PMOSトランジスタのソースにソースを接続され且つゲートが前記高電位側の電源に接続された第8のNMOSトランジスタと、前記第6のNMOSトランジスタのソースと前記第8NMOSトランジスタのドレインとの間に接続された第3抵抗および第4抵抗と、

前記第7PMOSトランジスタのゲートに出力端子が接続され前記ゲート電位を制御し、前記第3抵抗と前記第4抵抗との接続されたノード電位を、前記第1基準電位に近づくように動作する第2差動増幅器とを備える第2回路群とを備えることを特徴とする低電圧差動信号用差動駆動回路。

- [7] 請求項6に記載の低電圧差動信号用差動駆動回路において、
前記基準電位生成回路の前記第1抵抗、前記第2抵抗、前記第3抵抗および前記第4抵抗の抵抗値が、前記出力回路の出力端子に接続される終端抵抗の抵抗値の $n/2$ (n は正の整数値) 倍であることを特徴とする低電圧差動信号用差動駆動回路。
- [8] 請求項6に記載の低電圧差動信号用差動駆動回路において、
前記基準電位生成回路の前記第1NMOSトランジスタおよび前記第5NMOSトランジスタのサイズが、前記NMOSトランジスタのサイズの $1/n$ (n は正の整数値) のサイズを有し、
前記第7PMOSトランジスタのサイズが、前記PMOSトランジスタのサイズの $1/n$ (n は正の整数値) のサイズを有することを特徴とする低電圧差動信号用差動駆動回路。
- [9] 請求項1に記載の低電圧差動信号用差動駆動回路において、
前記出力回路の出力端子とエンファシス回路の出力端子とが互いに接続され、
前記エンファシス回路は、さらに異なる差動信号が入力され電流信号を出力するMOSトランジスタからなるエンファシス回路用スイッチ回路の一方のノードがPMOSトランジスタのドレインと接続され、前記PMOSトランジスタのソースが前記高電位側の電

源電位に接続され、前記PMOSトランジスタのゲートがエンファシス回路用バイアス電源の一方に端子に接続され、

前記エンファシス回路用スイッチ回路の他方のノードがNMOSトランジスタのドレインと接続され、前記NMOSトランジスタのソースが前記低電位側の電源に接続され、前記NMOSトランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて構成されて成ることを特徴とする低電圧差動信号用差動駆動回路。

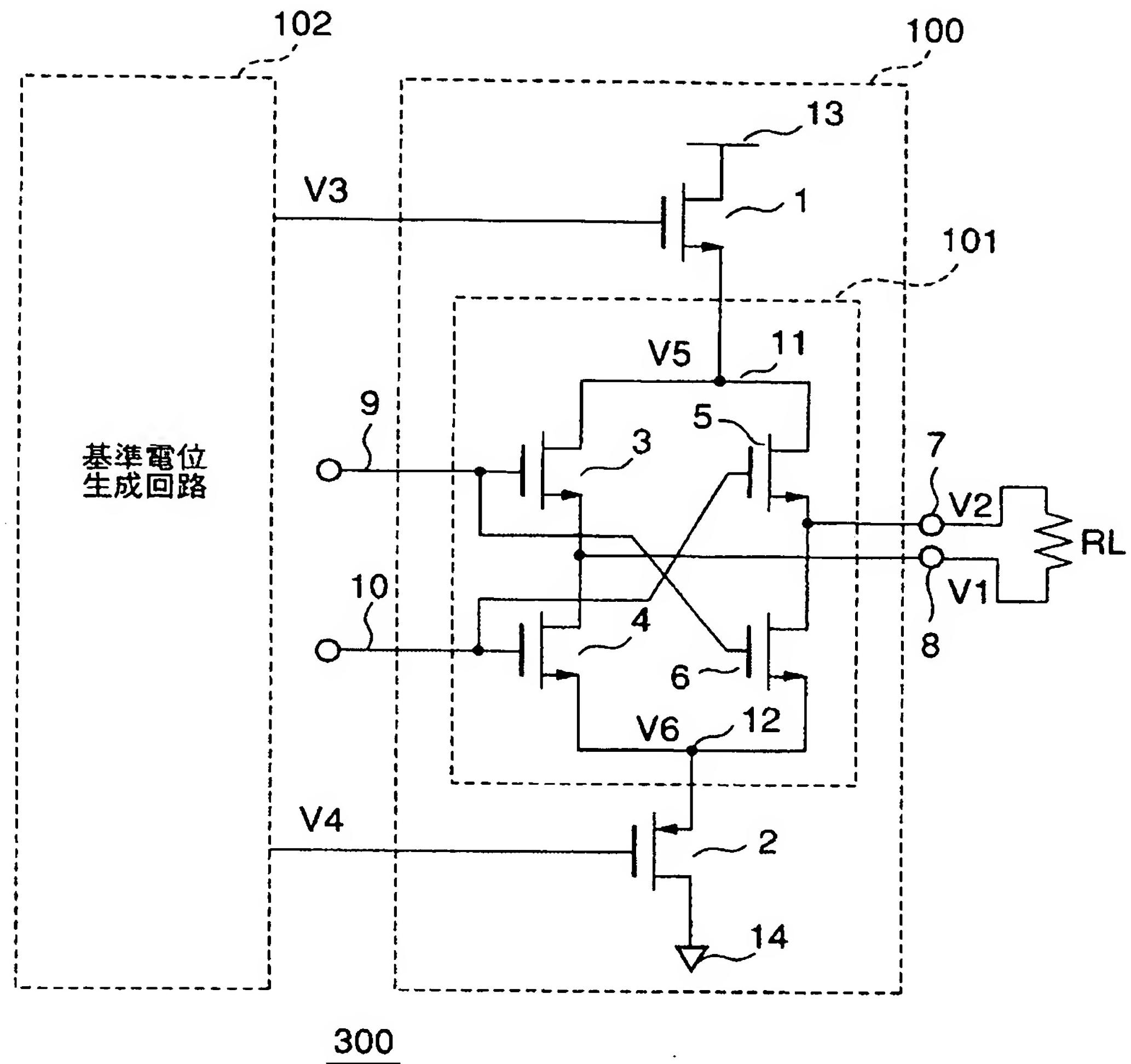
- [10] 請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、
請求項2のスイッチ回路であることを特徴とする低電圧差動信号用差動駆動回路。
- [11] 請求項9に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路が、
前記エンファシス回路用スイッチ回路の一方のノードがNMOSトランジスタのソースと接続され、前記NMOSトランジスタのドレインが前記高電位側の電源に接続され、前記NMOSトランジスタのゲートがエンファシス回路用バイアス電源の一方の端子に接続され、
前記エンファシス回路用スイッチ回路の他方のノードがPMOSトランジスタのソースと接続され、前記PMOSトランジスタのドレインが前記低電位側の電源に接続され、前記PMOSトランジスタのゲートが前記エンファシス回路用バイアス電源の他方の端子に接続されて成ることを特徴とする低電圧差動信号用差動駆動回路。
- [12] 請求項11に記載の低電圧差動信号用差動駆動回路の前記エンファシス回路用スイッチ回路が、
請求項2のスイッチ回路であることを特徴とする低電圧差動信号用差動駆動回路。
- [13] 請求項1乃至12のいずれかに記載の低電圧差動信号用差動駆動回路を内蔵することを特徴とする電子機器。
- [14] 請求項13に記載の電子機器は、携帯端末であることを特徴とする電子機器。

要 約 書

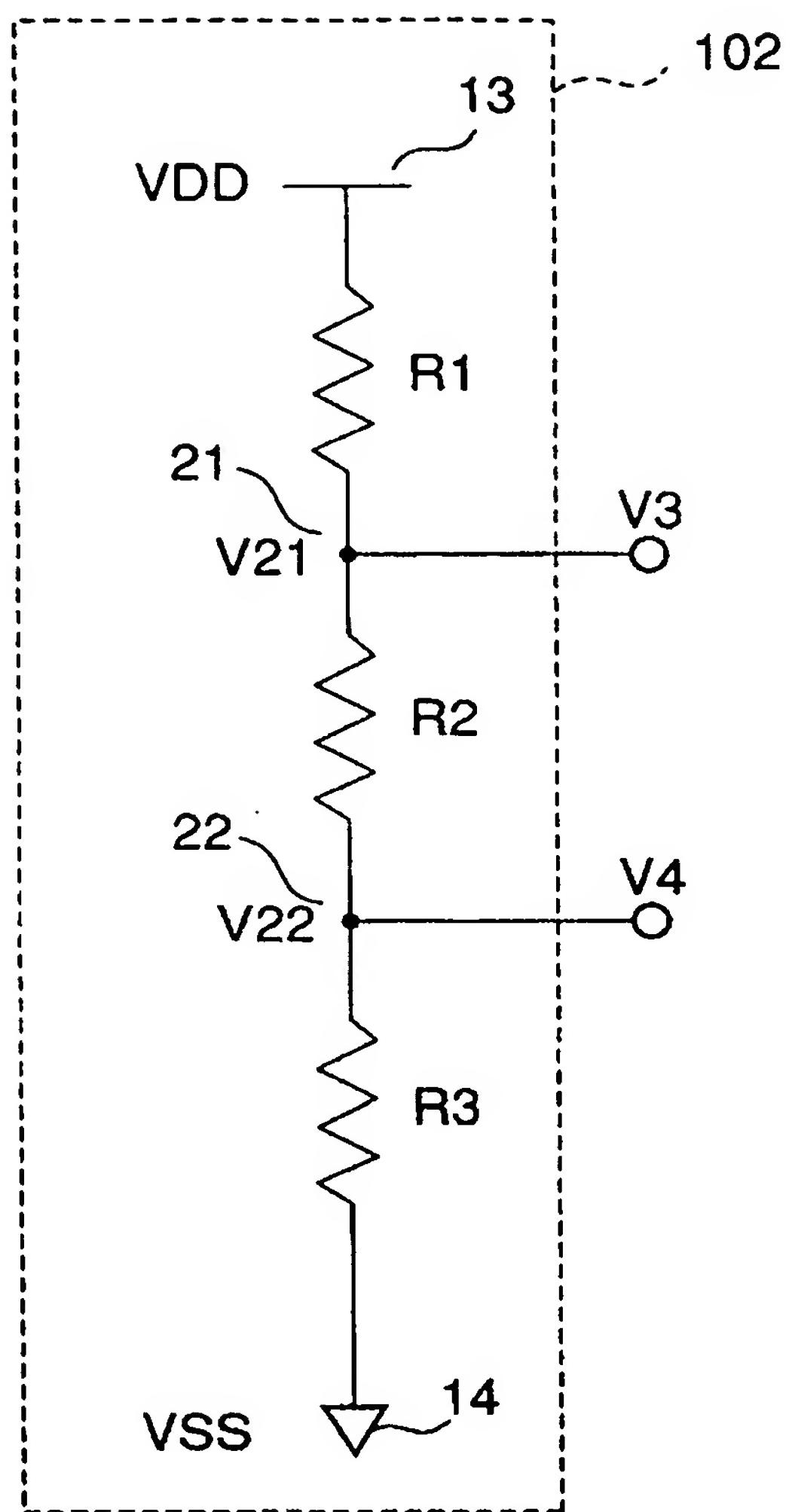
差動増幅器を無くすかあるいは数を減らして、回路面積や消費電流を減らし、ノイズによる発振の問題を解決すると共に、高い駆動能力をもつ低電圧差動信号用差動駆動回路およびそれを内蔵する電子機器を提供する。

差動信号が入力され電流信号を出力するMOSトランジスタからなるスイッチ回路と、一方が高電位側の電源電位に接続され、他方がスイッチ回路の一方のノードに接続され、ソースフォロワとして動作するNMOSトランジスタと、一方が低電位側の電源電位に接続され、他方がスイッチ回路の他方のノードに接続され、ソースフォロワとして動作するPMOSトランジスタとから構成される出力回路と、PMOSトランジスタとNMOSトランジスタのそれぞれのゲートに基準電位を供給する基準電位生成回路とを備え、基準電位生成回路は、オフセット電位一定で差動電位を可変してなる電位可変手段を備えて成る。さらに出力回路のエンファシス回路を備えて成る。

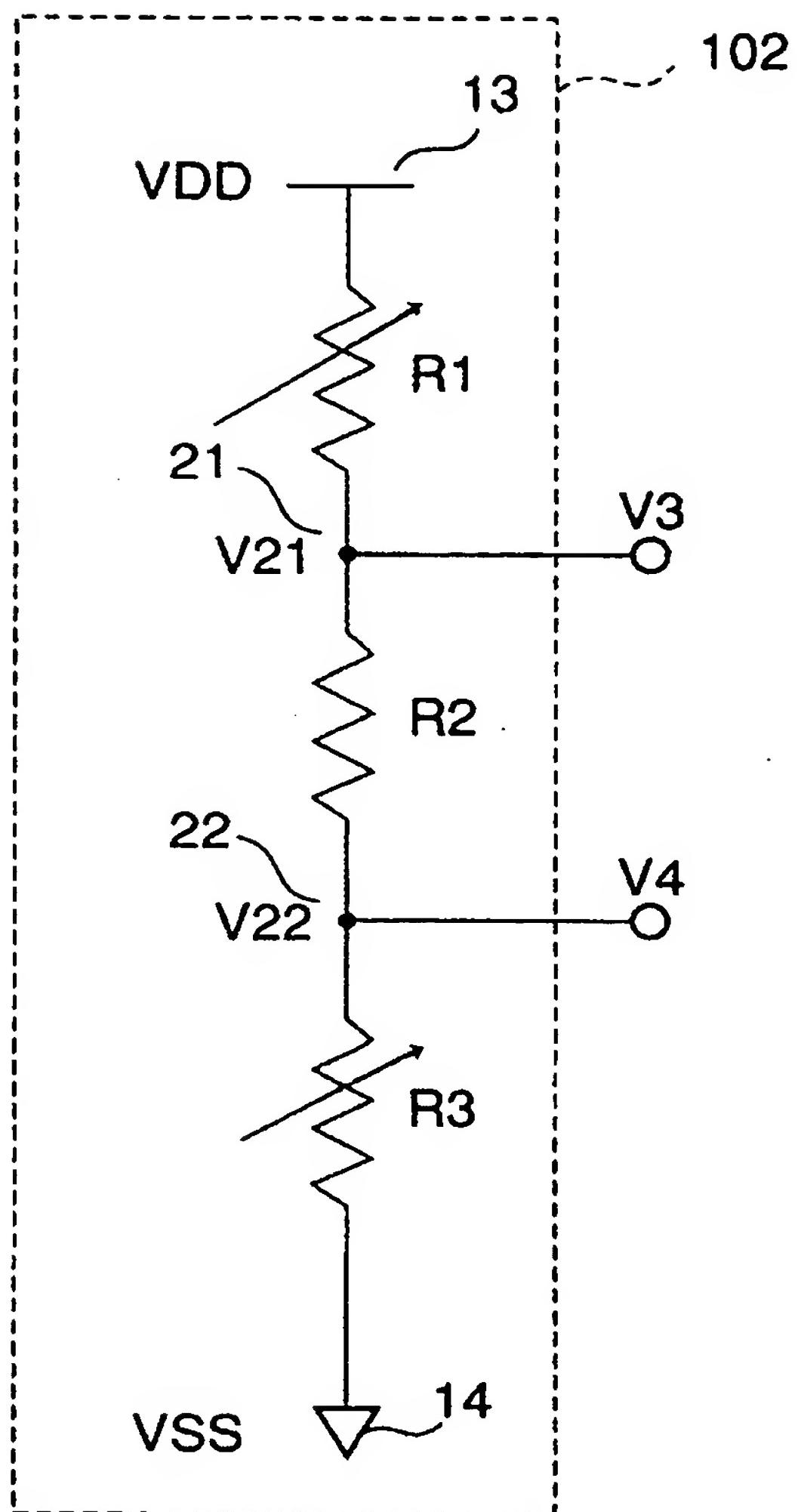
[図1]



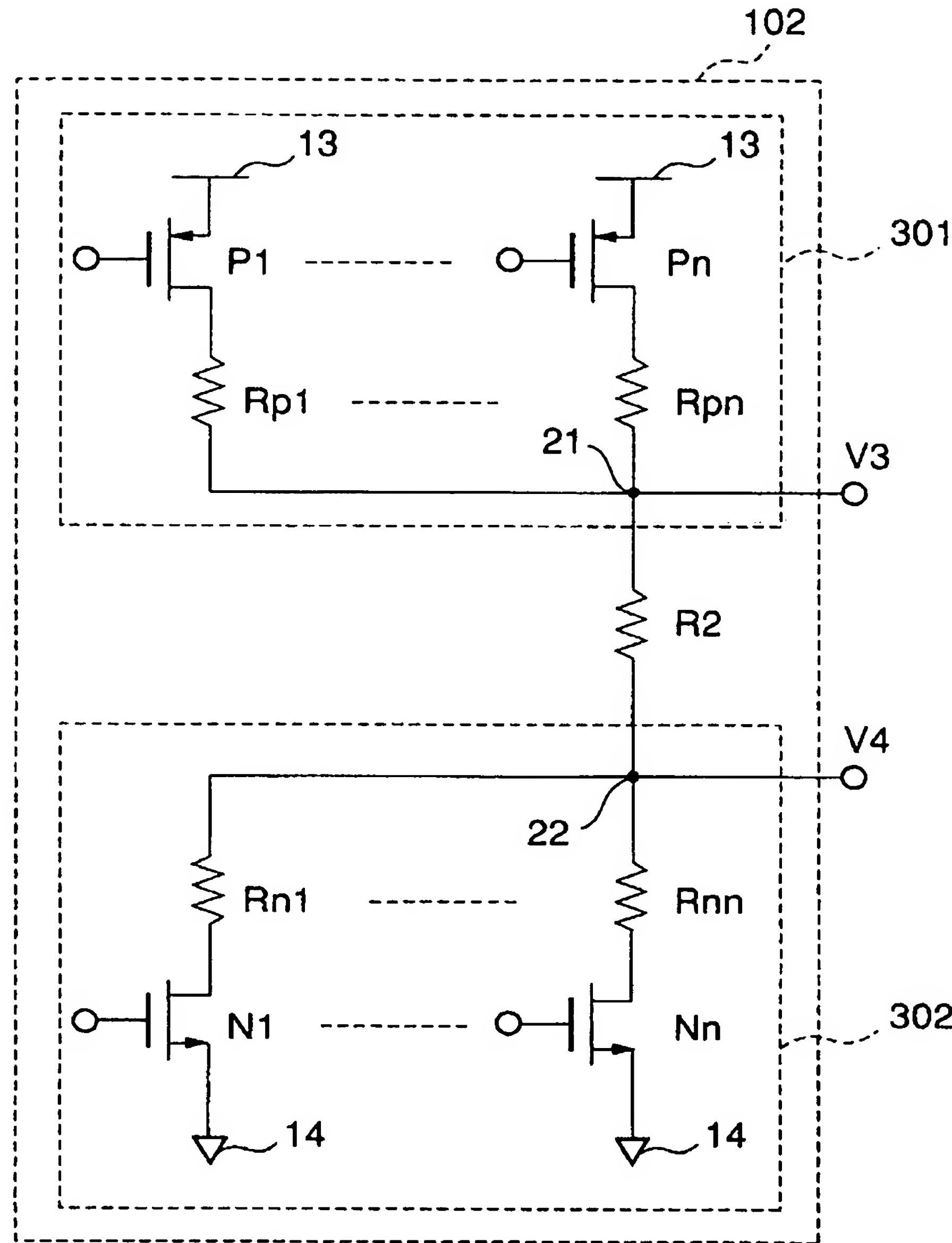
[図2]



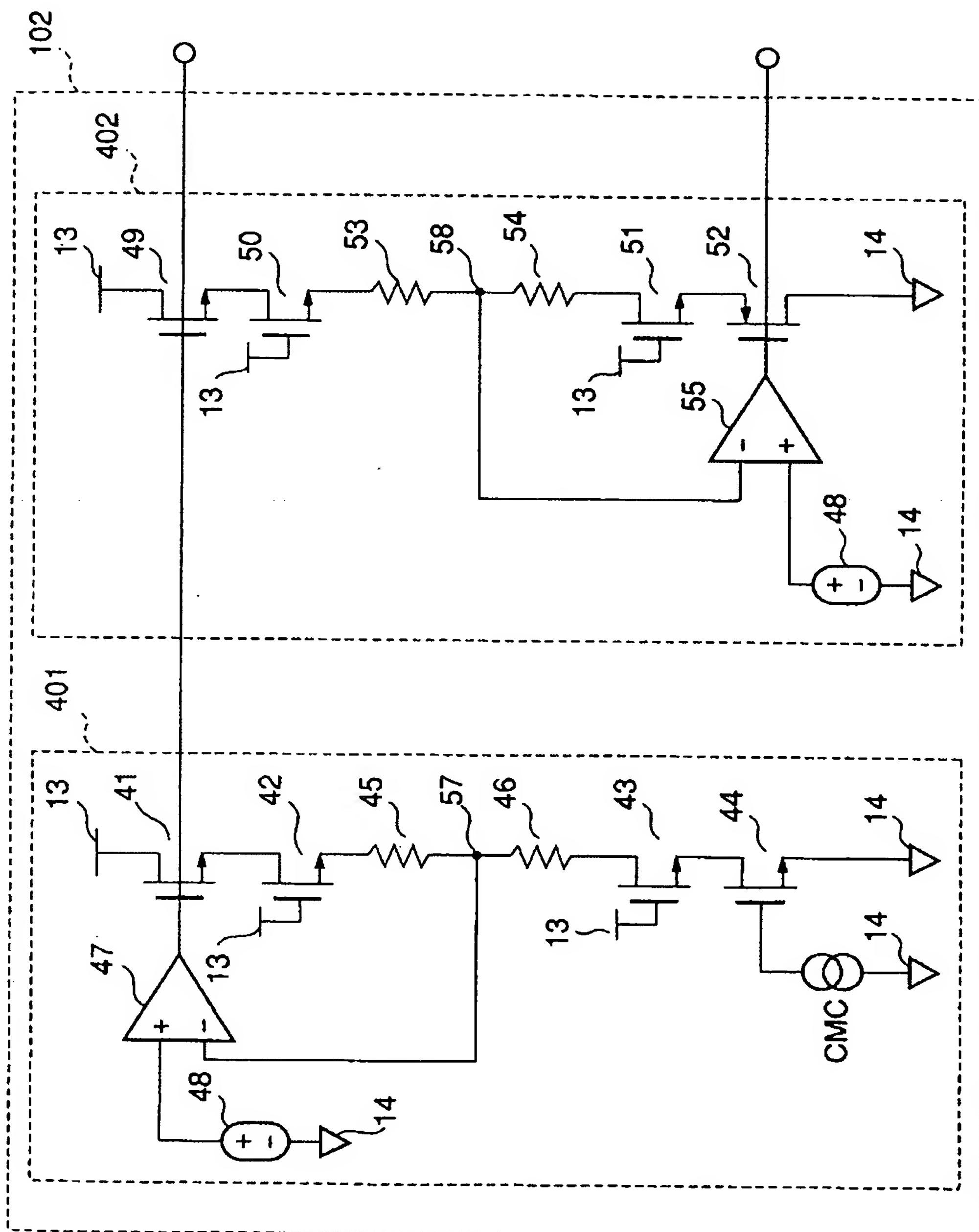
[図3]



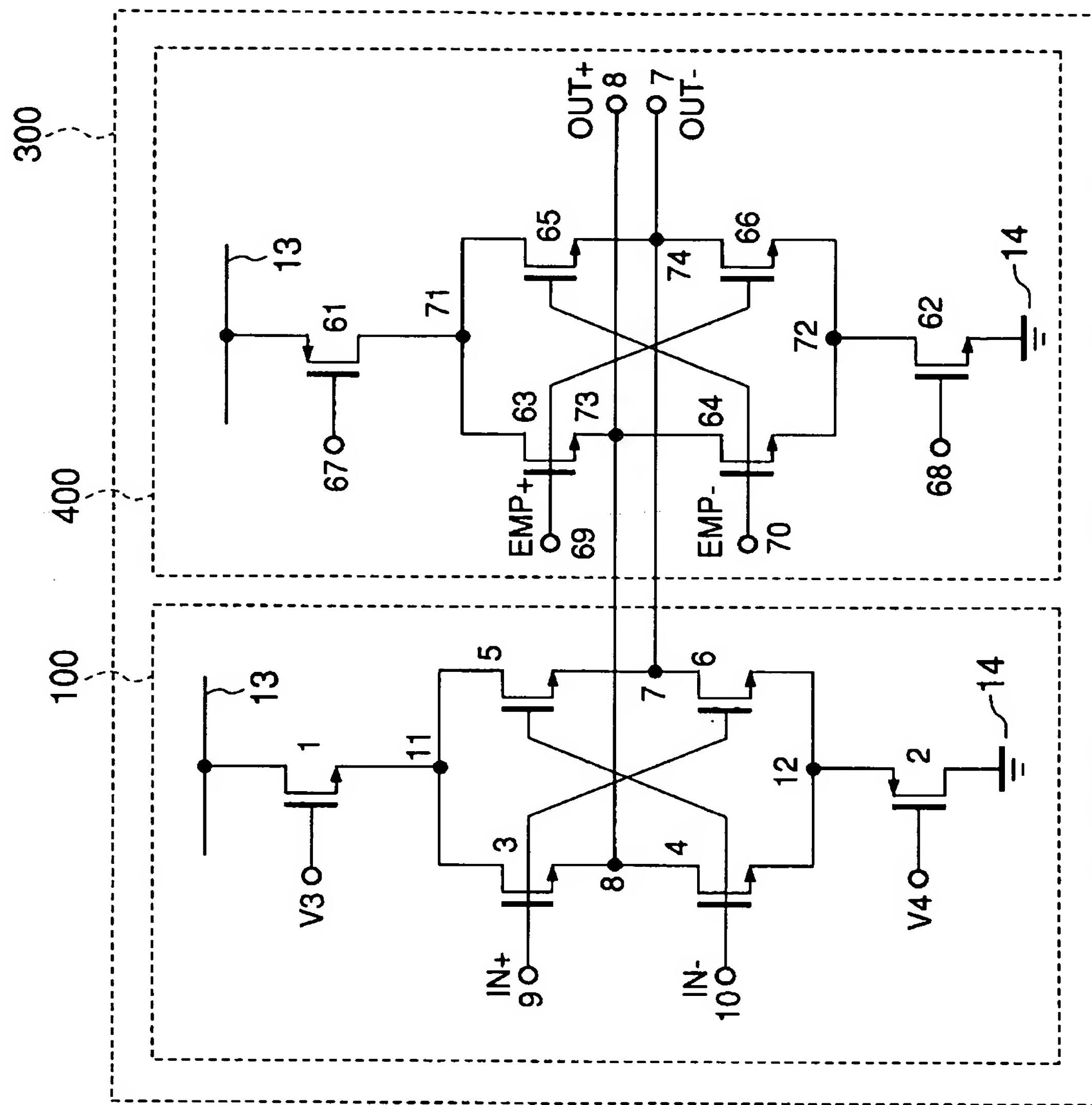
[図4]



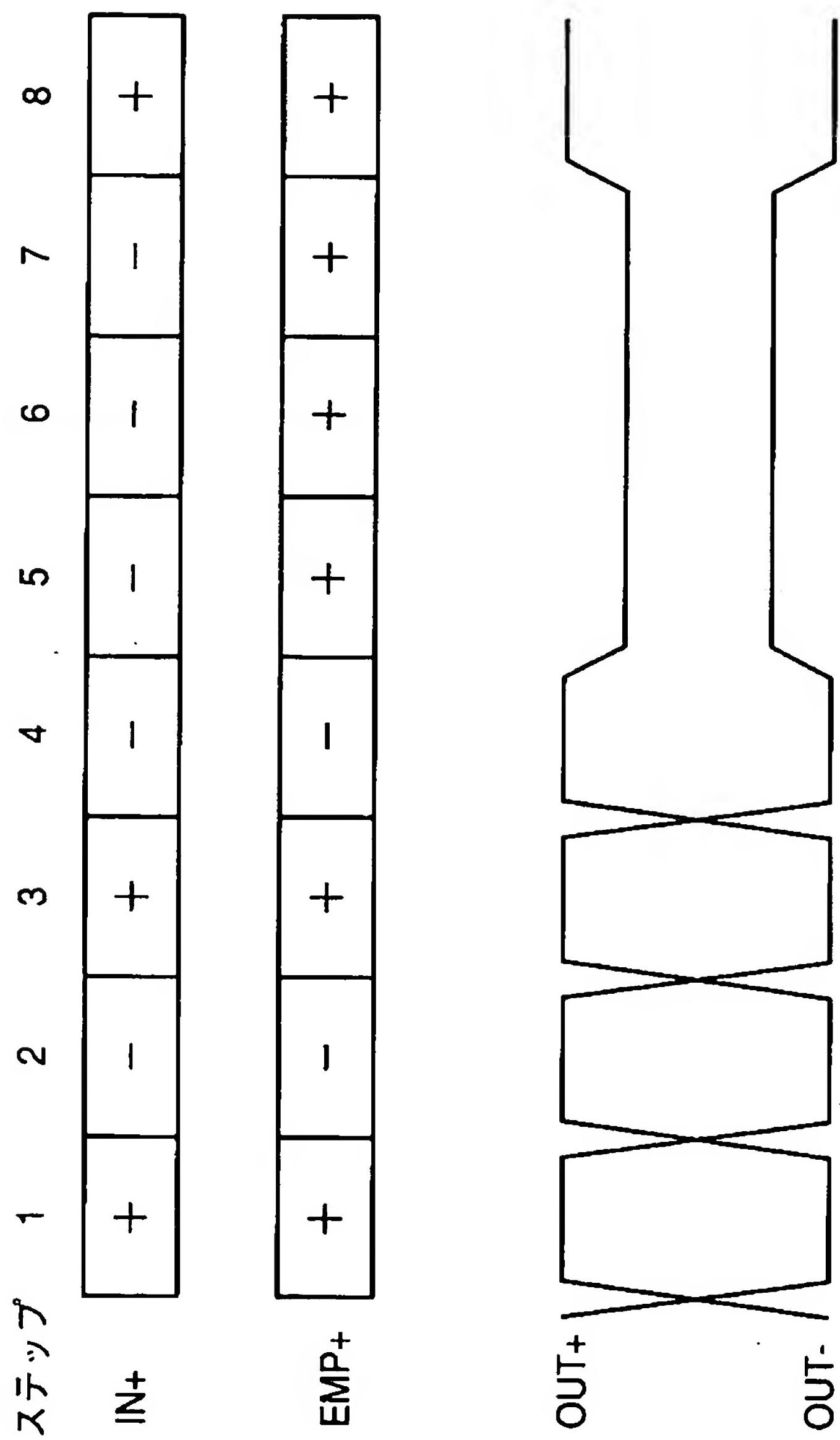
[図5]



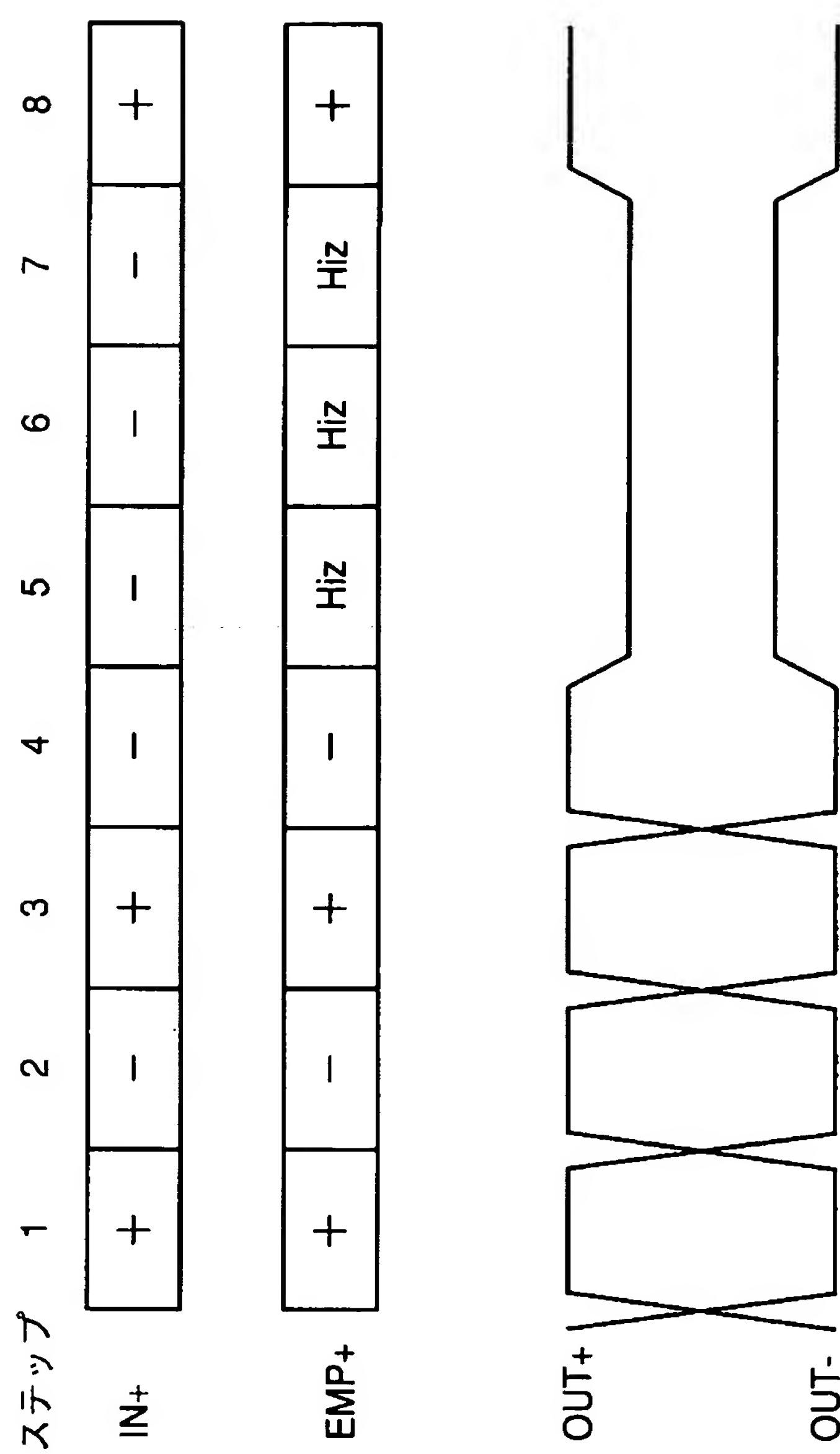
[図6]



[図7]



[図8]



[図9]

